



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001168292 A

(43) Date of publication of application: 22.06.01

(51) Int. Cl.

H01L 27/10

G11C 11/22

G11C 14/00

H01L 27/108

H01L 21/8242

(21) Application number: 11348378

(22) Date of filing: 08.12.99

(71) Applicant: MATSUSHITA ELECTRONICS
INDUSTRY CORP(72) Inventor: HIRANO HIROSHIGE
MORIWAKI NOBUYUKI

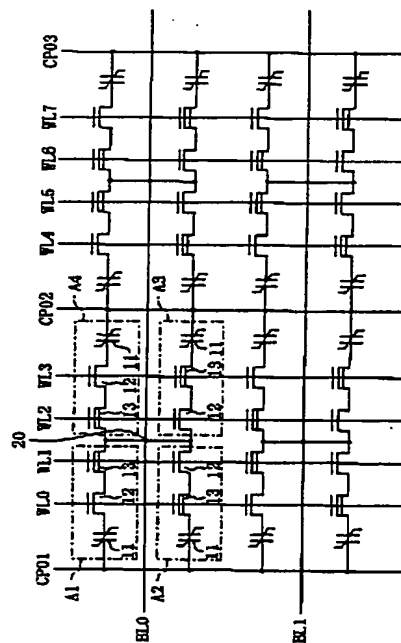
(54) FERROELECTRIC MEMORY DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce the size of a memory cell array without being regulated by the wiring pitch of bit lines.

SOLUTION: The ferroelectric memory device is provided with a ferroelectric capacitor 11 which comprises a capacitance insulating film composed of a ferroelectric and which has first electrodes and second electrodes. The memory device is provided with a first cell plate line CP01 which is connected to the side of the first electrodes in the ferroelectric capacitor 11. The memory device is provided with a first bit line BL0 which is connected to the side of the second electrodes in the ferroelectric capacitor 11. Cell selection transistors 12 and depletion-type cell selection transistors 13 to which the ferroelectric capacitor 11 can be connected selectively are connected in series across the second electrodes and the first bit line BL0.

COPYRIGHT: (C)2001,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-168292

(P2001-168292A)

(43)公開日 平成13年6月22日(2001.6.22)

(51)Int.Cl.	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 27/10	4 5 1	H 0 1 L 27/10	4 5 1 5 B 0 2 4
G 1 1 C 11/22		G 1 1 C 11/22	5 F 0 8 3
	14/00		11/34 3 5 2 A
H 0 1 L 27/108		H 0 1 L 27/10	6 5 1
21/8242			

審査請求 未請求 請求項の数5 O L (全 12 頁)

(21)出願番号	特願平11-348378	(71)出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22)出願日	平成11年12月8日(1999.12.8)	(72)発明者	平野 博茂 大阪府高槻市幸町1番1号 松下電子工業株式会社内
		(72)発明者	森脇 信行 大阪府高槻市幸町1番1号 松下電子工業株式会社内
		(74)代理人	100077931 弁理士 前田 弘 (外1名)

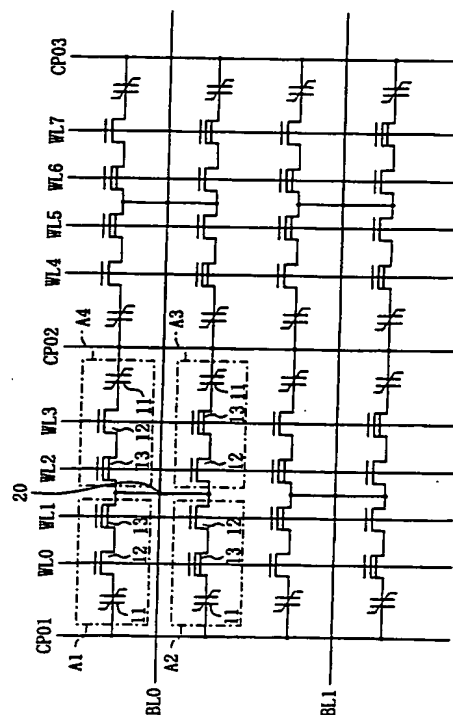
最終頁に続く

(54)【発明の名称】 強誘電体メモリ装置

(57)【要約】

【課題】 ビット線の配線ピッチに規制されることなくメモリセルアレイのサイズを縮小できるようにする。

【解決手段】 強誘電体メモリ装置は、強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ強誘電体キャパシタ11と、強誘電体キャパシタ11における第1電極側と接続するための第1のセルプレート線C P 0 1と、強誘電体キャパシタ11における第2電極側と接続するための第1のB L 0ビット線とを備えている。第2電極と第1のビット線B L 0との間には、強誘電体キャパシタ11を選択的に接続可能とするセル選択トランジスタ12及びデプレッション型セル選択トランジスタ13とが直列に接続されている。



【特許請求の範囲】

【請求項 1】 基板上に形成されており、

強誘電体からなる容量絶縁膜を有し、第 1 電極及び第 2 電極を持つ強誘電体キャパシタと、

前記強誘電体キャパシタにおける前記第 1 電極側と接続するためのセルプレート線と、

前記強誘電体キャパシタにおける前記第 2 電極側と接続するためのビット線と、

前記第 2 電極と前記ビット線との間に直列に接続され、

前記強誘電体キャパシタを選択的に接続可能とするセル選択トランジスタ及びデプレッション型セル選択トランジスタとを備えていることを特徴とする強誘電体メモリ装置。

【請求項 2】 基板上に形成されており、

それぞれが強誘電体からなる容量絶縁膜を有し、第 1 電極及び第 2 電極を持つ第 1 の強誘電体キャパシタ並びに第 3 電極及び第 4 電極を持つ第 2 の強誘電体キャパシタと、

前記第 1 の強誘電体キャパシタ及び第 2 の強誘電体キャパシタにおける前記第 1 電極側及び第 3 電極側とそれぞれ接続するための少なくとも 1 本のセルプレート線と、

前記第 1 の強誘電体キャパシタ及び第 2 の強誘電体キャパシタにおける前記第 2 電極側及び第 4 電極側とそれぞれ接続するためのビット線と、

前記第 2 電極と前記ビット線との間に直列に接続され、前記第 1 の強誘電体キャパシタを選択的に接続可能とする第 1 のセル選択トランジスタ及び第 1 のデプレッション型セル選択トランジスタと、

前記第 4 電極と前記ビット線との間に直列に接続され、前記第 2 の強誘電体キャパシタを選択的に接続可能とする第 2 のセル選択トランジスタ及び第 2 のデプレッション型セル選択トランジスタと、

前記第 1 のセル選択トランジスタ及び第 2 のデプレッション型セル選択トランジスタの各ゲートと接続された第 1 のワード線と、

前記第 2 のセル選択トランジスタ及び第 1 のデプレッション型セル選択トランジスタの各ゲートと接続された第 2 のワード線とを備えていることを特徴とする強誘電体メモリ装置。

【請求項 3】 基板上に形成されており、

それぞれが強誘電体からなる容量絶縁膜を有し、第 1 電極及び第 2 電極を持つ第 1 の強誘電体キャパシタ並びに第 3 電極及び第 4 電極を持つ第 2 の強誘電体キャパシタと、

前記第 1 の強誘電体キャパシタ及び第 2 の強誘電体キャパシタにおける前記第 1 電極側及び第 3 電極側とそれぞれ接続するための少なくとも 1 本のセルプレート線と、

前記第 1 の強誘電体キャパシタ及び第 2 の強誘電体キャパシタにおける前記第 2 電極側及び第 4 電極側とそれぞれ接続するためのビット線と、

前記第 2 電極と前記ビット線との間に直列に接続され、前記第 1 の強誘電体キャパシタを選択的に接続可能とする第 1 のセル選択トランジスタ及びデプレッション型セル選択トランジスタと、

前記第 4 電極と前記ビット線との間に接続され、前記第 2 の強誘電体キャパシタを選択的に接続可能とする第 2 のセル選択トランジスタと、

前記第 1 のセル選択トランジスタのゲートと接続された第 1 のワード線と、

前記デプレッション型セル選択トランジスタ及び第 2 のセル選択トランジスタの各ゲートと接続された第 2 のワード線とを備えていることを特徴とする強誘電体メモリ装置。

【請求項 4】 基板上に形成されており、

それぞれが強誘電体からなる容量絶縁膜を有し、第 1 電極及び第 2 電極を持つ第 1 の強誘電体キャパシタ並びに第 3 電極及び第 4 電極を持つ第 2 の強誘電体キャパシタと、

前記第 1 の強誘電体キャパシタ及び第 2 の強誘電体キャパシタにおける前記第 1 電極側及び第 3 電極側とそれぞれ接続するための少なくとも 1 本のセルプレート線と、前記第 1 の強誘電体キャパシタにおける前記第 2 電極側と接続するための第 1 のビット線と、

前記第 2 電極と前記第 1 のビット線との間に直列に接続され、前記第 1 の強誘電体キャパシタを選択的に接続可能とする第 1 のセル選択トランジスタ及び第 1 のデプレッション型セル選択トランジスタと、

前記第 2 の強誘電体キャパシタにおける前記第 4 電極側と接続するための第 2 のビット線と、

前記第 4 電極と前記第 2 のビット線との間に直列に接続され、前記第 2 の強誘電体キャパシタを選択的に接続可能とする第 2 のセル選択トランジスタ及び第 2 のデプレッション型セル選択トランジスタと、

前記第 1 のセル選択トランジスタのゲートと接続された第 1 のワード線と、

前記第 1 のデプレッション型セル選択トランジスタのゲートと接続された第 2 のワード線と、

前記第 2 のセル選択トランジスタのゲートと接続された第 3 のワード線と、

前記第 2 のデプレッション型セル選択トランジスタのゲートと接続された第 4 のワード線とを備えていることを特徴とする強誘電体メモリ装置。

【請求項 5】 基板上に形成されており、

それぞれが強誘電体からなる容量絶縁膜を有し、第 1 電極及び第 2 電極を持つ第 1 の強誘電体キャパシタ、第 3 電極及び第 4 電極を持つ第 2 の強誘電体キャパシタ、第 5 電極及び第 6 電極を持つ第 3 の強誘電体キャパシタ並びに第 7 電極及び第 8 電極を持つ第 4 の強誘電体キャパシタと、

前記第 1 の強誘電体キャパシタ、第 2 の強誘電体キャパ

シタ、第3の強誘電体キャパシタ及び第4の強誘電体キャパシタにおける、前記第1電極側、第3電極側、第5電極側及び第7電極側とそれぞれ接続するための少なくとも1本のセルプレート線と、

前記第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける前記第2電極側及び第4電極側とそれぞれ接続するための第1のビット線と、

前記第2電極と前記第1のビット線との間に直列に接続され、前記第1の強誘電体キャパシタを選択的に接続可能とする第1のセル選択トランジスタ及び第1のデプレッション型セル選択トランジスタと、

前記第4電極と前記第1のビット線との間に接続され、前記第2の強誘電体キャパシタを選択的に接続可能とする第2のセル選択トランジスタと、

前記第3の強誘電体キャパシタにおける前記第6電極側と接続するための第2のビット線と、

前記第6電極と前記第2のビット線との間に直列に接続され、前記第3の強誘電体キャパシタを選択的に接続可能とする第3のセル選択トランジスタ及び第2のデプレッション型セル選択トランジスタと、

前記第8電極と前記第2のビット線との間に接続され、前記第4の強誘電体キャパシタを選択的に接続可能とする第4のセル選択トランジスタと、

前記第1のセル選択トランジスタのゲートと接続された第1のワード線と、

前記第1のデプレッション型セル選択トランジスタ及び第2のセル選択トランジスタの各ゲートと接続された第2のワード線と、

前記第3のセル選択トランジスタのゲートと接続された第3のワード線と、

前記第2のデプレッション型セル選択トランジスタ及び第4のセル選択トランジスタの各ゲートと接続された第4のワード線とを備えていることを特徴とする強誘電体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップ面積を縮小できる強誘電体メモリ装置に関する。

【0002】

【従来の技術】最近、携帯端末機器やICカード装置等が普及し、低電圧、低消費電力及び高速動作が可能な不揮発性メモリ装置の要望がますます高まっている。不揮発性メモリ装置として、まずフラッシュメモリが挙げられるが、より低消費電力、高速動作が可能な強誘電体メモリ装置が注目されてきている。強誘電体メモリ装置は容量絶縁膜として強誘電体を有し、その分極方向によって不揮発性データを記憶する構成であるため、データの書き換えには分極を反転させる程度の電界を印加するだけでよく、その結果、低電圧、低消費電力で且つ高速動作が可能となる。

【0003】以下、従来の強誘電体メモリ装置について図面を参照しながら説明する。

【0004】図9は従来の強誘電体メモリ装置におけるメモリセルアレイの回路構成を示し、図10(a)はメモリセルアレイの平面構成を示し、図10(b)は

(a)のXb-Xb線における断面構成を示している。ここでは、図10(a)及び(b)に基づいて、その構成を製造方法として説明する。

【0005】まず、半導体基板101に、セルトランジスタの活性領域を形成する。その後、半導体基板101上に、活性領域上でセルトランジスタのゲートとなる、例えばポリシリコンからなるワード線WL0~WL3を互いに間隔をおいて形成する。次に、半導体基板101の上部にワード線WL0~WL3をマスクとして、不純物を注入し、ソース領域101s及びドレイン領域101dを形成する。次に、半導体基板101上に層間絶縁膜102を形成した後、強誘電体キャパシタとセルトランジスタのソース101sとを接続するためのコンタクトCSを形成する。次に、強誘電体キャパシタの例えばプラチナ等を含む下部電極BEを形成し、続いて上部電極を形成する。この上部電極はセルプレート線CP00~CP33をも兼ねる構成である。このようにして、いわゆるスタック型キャパシタ構造のメモリセルが形成される。

【0006】次に、半導体基板101上に、セルプレート線CP00~CP33を覆うように層間絶縁膜102を再度堆積し、その後、層間絶縁膜102に対して、セルトランジスタのドレイン領域101dと接続されるビット線コンタクトCWを形成する。続いて、ビット線コンタクトCWと接続し且つワード線WL0~WL3と交差する方向にビット線BL0、BL1を形成する。

【0007】図10(a)及び(b)に示すように、従来のメモリセルアレイは、1つのビット線コンタクトCWに対して2つのメモリセルが接続される構成である。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来の強誘電体メモリ装置は、1つのビット線コンタクトCWに対して2つのメモリセルが接続されているため、図10(a)からも分かるように、各メモリセルのサイズがビット線の配線ピッチに依存したレイアウトとなっている。その結果、メモリセルのサイズを小さくしようとすると、ビット線BLの配線ピッチによってセルのサイズが規制されてしまい、メモリセルアレイ自体のサイズを縮小できないという問題がある。

【0009】本発明は、前記従来の問題を解決し、ビット線の配線ピッチに規制されることなくメモリセルアレイのサイズを縮小できるようにすることを目的とする。

【0010】

【課題を解決するための手段】前記の目的を達成するため、本発明は、ビット線コンタクトとキャパシタとの間

に、セル選択トランジスタと直列に接続されるデプレッション型トランジスタを挿入する構成とする。

【0011】具体的に、本発明に係る第1の強誘電体メモリ装置は、基板上に形成されており、強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ強誘電体キャパシタと、強誘電体キャパシタにおける第1電極側と接続するためのセルプレート線と、強誘電体キャパシタにおける第2電極側と接続するためのビット線と、第2電極とビット線との間に直列に接続され、強誘電体キャパシタを選択的に接続可能とするセル選択トランジスタ及びデプレッション型セル選択トランジスタとを備えている。

【0012】第1の強誘電体メモリ装置において、メモリセルの構成を、第1のワード線がセル選択トランジスタのゲートと接続され第2のワード線がデプレッション型セル選択トランジスタのゲートと接続されるセルを第1のメモリセルとすると、逆に第1のワード線がデプレッション型セル選択トランジスタのゲートと接続され第2のワード線がセル選択トランジスタのゲートと接続されるセルを第2のメモリセルとすることができる。同様に、メモリセルの構成を、第3のワード線がセル選択トランジスタのゲートと接続され第4のワード線がデプレッション型セル選択トランジスタのゲートと接続されるセルを第3のメモリセルとすると、逆に第3のワード線がデプレッション型セル選択トランジスタのゲートと接続され第4のワード線がセル選択トランジスタのゲートと接続されるセルを第4のメモリセルとすることができる。その結果、デプレッション型セル選択トランジスタをノーマリオンとして使用すれば、第1のワード線、第2のワード線、第3のワード線及び第4のワード線により各メモリセルが独立して選択可能となるようにできる。このように、ビット線との接続が1コンタクト当たり3つ以上（ここでは4つ）のメモリセルと接続できるようになる。その結果、メモリセルのサイズがビット線の配線ピッチに規制されにくくなるので、メモリセルレイのサイズを小さくできる。

【0013】本発明に係る第2の強誘電体メモリ装置は、基板上に形成されており、それぞれが強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ第1の強誘電体キャパシタ並びに第3電極及び第4電極を持つ第2の強誘電体キャパシタと、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第1電極側及び第3電極側とそれぞれ接続するための少なくとも1本のセルプレート線と、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第2電極側及び第4電極側とそれぞれ接続するためのビット線と、第2電極とビット線との間に直列に接続され、第1の強誘電体キャパシタを選択的に接続可能とする第1のセル選択トランジスタ及び第1のデプレッション型セル選択トランジスタと、第4電極とビット線との間に直列に接続さ

れ、第2の強誘電体キャパシタを選択的に接続可能とする第2のセル選択トランジスタ及び第2のデプレッション型セル選択トランジスタと、第1のセル選択トランジスタ及び第2のデプレッション型セル選択トランジスタの各ゲートと接続された第1のワード線と、第2のセル選択トランジスタ及び第1のデプレッション型セル選択トランジスタの各ゲートと接続された第2のワード線とを備えている。

【0014】第2の強誘電体メモリセル装置は、第1の強誘電体メモリ装置において、第1のワード線がセル選択トランジスタのゲートと接続され第2のワード線がデプレッション型セル選択トランジスタのゲートと接続された第1のメモリセルと、第1のワード線がデプレッション型セル選択トランジスタのゲートと接続され第2のワード線がセル選択トランジスタのゲートと接続された第2のメモリセルとを有することを明示した構成である。

【0015】本発明に係る第3の強誘電体メモリセル装置は、基板上に形成されており、それぞれが強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ第1の強誘電体キャパシタ並びに第3電極及び第4電極を持つ第2の強誘電体キャパシタと、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第1電極側及び第3電極側とそれぞれ接続するための少なくとも1本のセルプレート線と、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第2電極側及び第4電極側とそれぞれ接続するためのビット線と、第2電極とビット線との間に直列に接続され、第1の強誘電体キャパシタを選択的に接続可能とする第1のセル選択トランジスタ及びデプレッション型セル選択トランジスタと、第4電極とビット線との間に接続され、第2の強誘電体キャパシタを選択的に接続可能とする第2のセル選択トランジスタと、第1のセル選択トランジスタのゲートと接続された第1のワード線と、デプレッション型セル選択トランジスタ及び第2のセル選択トランジスタの各ゲートと接続された第2のワード線とを備えている。

【0016】第3の強誘電体メモリセル装置は、第1の強誘電体メモリ装置における第2のメモリセルのデプレッション型セル選択トランジスタを省略した構成を有している。これにより、メモリセルレイのサイズをさらに小さくできると共に、第1のワード線のゲート付加容量を低減できるため、第1のワード線をより高速に駆動でき、また消費電力を低減できる。

【0017】本発明に係る第4の強誘電体メモリセル装置は、基板上に形成されており、それぞれが強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ第1の強誘電体キャパシタ並びに第3電極及び第4電極を持つ第2の強誘電体キャパシタと、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第1電極

側及び第3電極側とそれぞれ接続するための少なくとも1本のセルプレート線と、第1の強誘電体キャパシタにおける第2電極側と接続するための第1のビット線と、第2電極と第1のビット線との間に直列に接続され、第1の強誘電体キャパシタを選択的に接続可能とする第1のセル選択トランジスタ及び第1のデプレッション型セル選択トランジスタと、第2の強誘電体キャパシタにおける第4電極側と接続するための第2のビット線と、第4電極と第2のビット線との間に直列に接続され、第2の強誘電体キャパシタを選択的に接続可能とする第2のセル選択トランジスタ及び第2のデプレッション型セル選択トランジスタと、第1のセル選択トランジスタのゲートと接続された第1のワード線と、第1のデプレッション型セル選択トランジスタのゲートと接続された第2のワード線と、第2のセル選択トランジスタのゲートと接続された第3のワード線と、第2のデプレッション型セル選択トランジスタのゲートと接続された第4のワード線とを備えている。

【0018】第4の誘電体メモリセル装置によると、第1及び第2のワード線により選択される第1のメモリセルは第1のビット線と接続され、第3及び第4のワード線により選択される第2のメモリセルは第2のビット線と接続されている。従って、第1のビット線と第2のビット線とを隣接させると、1つのビット線コンタクトで3つ以上のメモリセルを接続できる上に、いわゆる折り返しビット線構造を持つ1T1C型メモリセルアレイを実現できる。

【0019】本発明に係る第5の強誘電体メモリ装置は、基板上に形成されており、それぞれが強誘電体からなる容量絶縁膜を有し、第1電極及び第2電極を持つ第1の強誘電体キャパシタ、第3電極及び第4電極を持つ第2の強誘電体キャパシタ、第5電極及び第6電極を持つ第3の強誘電体キャパシタ並びに第7電極及び第8電極を持つ第4の強誘電体キャパシタと、第1の強誘電体キャパシタ、第2の強誘電体キャパシタ、第3の強誘電体キャパシタ及び第4の強誘電体キャパシタにおける、第1電極側、第3電極側、第5電極側及び第7電極側とそれぞれ接続するための少なくとも1本のセルプレート線と、第1の強誘電体キャパシタ及び第2の強誘電体キャパシタにおける第2電極側及び第4電極側とそれぞれ接続するための第1のビット線と、第2電極と第1のビット線との間に直列に接続され、第1の強誘電体キャパシタを選択的に接続可能とする第1のセル選択トランジスタ及び第1のデプレッション型セル選択トランジスタと、第4電極と第1のビット線との間に接続され、第2の強誘電体キャパシタを選択的に接続可能とする第2のセル選択トランジスタと、第3の強誘電体キャパシタにおける第6電極側と接続するための第2のビット線と、第6電極と第2のビット線との間に直列に接続され、第3の強誘電体キャパシタを選択的に接続可能とする第3

のセル選択トランジスタ及び第2のデプレッション型セル選択トランジスタと、第8電極と第2のビット線との間に接続され、第4の強誘電体キャパシタを選択的に接続可能とする第4のセル選択トランジスタと、第1のセル選択トランジスタのゲートと接続された第1のワード線と、第1のデプレッション型セル選択トランジスタ及び第2のセル選択トランジスタの各ゲートと接続された第2のワード線と、第3のセル選択トランジスタのゲートと接続された第3のワード線と、第2のデプレッション型セル選択トランジスタ及び第4のセル選択トランジスタの各ゲートと接続された第4のワード線とを備えている。

【0020】第5の強誘電体メモリ装置は、第4の強誘電体メモリ装置において、第1のビット線及び第1のワード線により選択されるメモリセルにデプレッション型セル選択トランジスタを設けない構成をも含め、且つ、第2のビット線及び第4のワード線により選択されるメモリセルにデプレッション型セル選択トランジスタを設けない構成をも含めるようにしている。これにより、折り返しビット線構造を持つ1T1C型メモリセルアレイを実現できる上に、メモリセルアレイのサイズを小さくでき、さらに、第2のワード線及び第3のワード線のゲート付加容量を低減できる。

【0021】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態について図面を参照しながら説明する。

【0022】図1は本発明の第1の実施形態に係る強誘電体メモリ装置におけるメモリセルアレイの回路構成を示し、図2(a)はメモリセルアレイの平面構成を示し、図2(b)は(a)のIIb-IIb線における断面構成を示している。図1に示すように、本実施形態に係る強誘電体メモリ装置のメモリセルアレイは、例えば、第1のビット線BL0の1つのノード20（半導体装置の構成ではビット線コンタクト）により接続される第1のメモリセルA1～第4のメモリセルA4を備えている。

【0023】各メモリセルA1～A4は、第1電極及び第2電極を有する強誘電体キャパシタ11と、該強誘電体キャパシタと第1のビット線BL0のノード20との間に直列に接続され、第1の強誘電体キャパシタ11を選択的に接続可能とするセル選択トランジスタ12及びデプレッション型セル選択トランジスタ13とを含んでいる。

【0024】第1のメモリセルA1において、強誘電体キャパシタ11は、第1電極が第1のセルプレート線CPO1と接続され、第2電極がセル選択トランジスタ12のソースと接続されている。セル選択トランジスタ12は、ゲートが第1のワード線WL0と接続され、ドレインがデプレッション型セル選択トランジスタ13のソースと接続されている。デプレッション型セル選択トランジスタ13は、ゲートが第2のワード線WL1と接続

され、ドレインが第1のビット線のノード20と接続されている。

【0025】第2のメモリセルA2において、強誘電体キャパシタ11は、第1電極が第1のセルプレート線CP01と接続され、第2電極がデプレッション型セル選択トランジスタ13のソースと接続されている。デプレッション型セル選択トランジスタ13は、ゲートが第1のワード線WL0と接続され、ドレインがセル選択トランジスタ12のソースと接続されている。セル選択トランジスタ12は、ゲートが第2のワード線WL1と接続され、ドレインが第1のビット線のノード20と接続されている。

【0026】第3のメモリセルA3において、強誘電体キャパシタ11は、第1電極が第2のセルプレート線CP02と接続され、第2電極がデプレッション型セル選択トランジスタ13のソースと接続されている。デプレッション型セル選択トランジスタ13は、ゲートが第4のワード線WL3と接続され、ドレインがセル選択トランジスタ12のソースと接続されている。セル選択トランジスタ12は、ゲートが第3のワード線WL2と接続され、ドレインが第1のビット線のノード20と接続されている。

【0027】第4のメモリセルA4において、強誘電体キャパシタ11は、第1電極が第2のセルプレート線CP02と接続され、第2電極がセル選択トランジスタ12のソースと接続されている。セル選択トランジスタ12は、ゲートが第4のワード線WL3と接続され、ドレインがデプレッション型セル選択トランジスタ13のソースと接続されている。デプレッション型セル選択トランジスタ13は、ゲートが第3のワード線WL2と接続され、ドレインが第1のビット線のノード20と接続されている。

【0028】このように、本実施形態に係る強誘電体メモリ装置は、4つのメモリセルA1～A4がビット線ごとの1つのノード20と接続され、各セル選択トランジスタ12により選択的に接続されることを特徴とする。具体的には、第1のメモリセルA1においては、第2のワード線WL1の電位に関わらずデプレッション型セル選択トランジスタ13は導通状態となるように設定されており、第1のワード線WL0の電位のみによりセル選択トランジスタ12の導通状態が変化する。

【0029】同様に、第2のメモリセルA2においては、第1のワード線WL0の電位に関わらずデプレッション型セル選択トランジスタ13は導通状態にあり、第2のワード線WL1の電位のみによりセル選択トランジスタ12の導通状態が変化する。第3のメモリセルA3においては、第4のワード線WL3の電位に関わらずデプレッション型セル選択トランジスタ13は導通状態にあり、第3のワード線WL2の電位のみによりセル選択トランジスタ12の導通状態が変化する。また、第4の

メモリセルA4においては、第3のワード線WL2の電位に関わらずデプレッション型セル選択トランジスタ13は導通状態にあり、第4のワード線WL3の電位のみによりセル選択トランジスタ12の導通状態が変化する。

【0030】すなわち、第1のメモリセルA1は第1のワード線WL0により選択され、第2のメモリセルA2は第2のワード線WL1により選択され、第3のメモリセルA3は第3のワード線WL2により選択され、第4のメモリセルA4は第4のワード線WL3により選択される。

【0031】以下、図2(a)及び(b)に基づいて、その構成を製造方法として説明する。まず、例えばp型シリコンからなる半導体基板31に、ゲート、ソース及びドレインを含むセルトランジスタ活性領域を形成する。デプレッション型セル選択トランジスタ13の形成領域においては、そのチャネル領域にn型不純物を選択的に注入する。

【0032】次に、半導体基板31上に、活性領域上でセルトランジスタのゲートとなる、例えばポリシリコンからなるワード線WL0～WL7を、ゲート絶縁膜を介して互いに間隔をおき且つ平行となるように形成する。

【0033】次に、半導体基板31の上部に各ワード線WL0～WL7をマスクとして、n型不純物を注入し、ソース領域31s及びドレイン領域31dを形成する。次に、半導体基板31上に層間絶縁膜32を形成した後、強誘電体キャパシタとセル選択トランジスタ又はデプレッション型セル選択トランジスタのソース31sとを接続するためのコンタクトCSを形成する。

【0034】次に、DRAMのデータストレージノードに相当する強誘電体キャパシタの下部電極であって、例えばプラチナ又はイリジウムを含む第2電極としての下部電極BEを形成し、続いて、下部電極BE上に、例えばチタン酸バリウム(BTO)等の強誘電体からなる容量絶縁膜33を選択的に形成し、その後、容量絶縁膜33上に、各セルプレート線CP01～CP03を兼ねるように、プラチナ又はイリジウムを含む第1電極としての上部電極(TE)を形成する。

【0035】次に、半導体基板31上に、各セルプレート線CP01～CP02を覆うように層間絶縁14を再度形成し、その後、層間絶縁膜32に対して、各トランジスタのドレイン領域31dと接続されるビット線コンタクトCWを形成する。続いて、各ビット線コンタクトCWと接続し且つ各ワード線WL0～WL7と交差する方向に、アルミニウムと銅との合金からなる導電性材料を用いて各ビット線BL0、BL1を形成する。このようにして、いわゆるビット線上置きスタック型キャパシタ構造のメモリセルA1～A4を得られる。

【0036】なお、ビット線BL0、BL1を強誘電体キャパシタよりも前に形成すると、ビット線BLが下部

電極BEよりも下方、すなわち基板側に形成されて、ビット線下置き型のキャパシタ構造を得ることができ、このような構造も本発明に含まれることはいうまでもない。

【0037】また、本実施形態に係るメモリセルアレイの構成は、2T2C型や1T1C型に適用できる。そのなかで、2T2C型の場合は折り返しビット線構造が好ましく、1T1C型の場合はオープンビット線構造が好ましい。

【0038】以上説明したように、本実施形態に係る強誘電体メモリ装置は、1つのビット線コンタクトに3つ以上のメモリセルを接続できるため、メモリセルアレイのサイズがビット線BL0、BL1の配線ピッチで規制されることがなくなるので、メモリセルアレイのサイズを効率的に縮小できるようになる。

【0039】また、1本のビット線BLと接続されるメモリセルの数が同一の構成であれば、1つのビット線コンタクトCWに3つ以上のメモリセルを接続できるため、ビット線コンタクトCWの数を少なくすることができ、さらに、ビット線BLの寄生容量を小さくでき、読み出し動作時の動作が安定する。

【0040】一方、ビット線BLの寄生容量を一定とした場合には、1本のビット線BLと接続できるメモリセルの数を多くすることができ高集積化が可能となる。

【0041】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0042】図3は本発明の第2の実施形態に係る強誘電体メモリ装置におけるメモリセルアレイの回路構成を示し、図4(a)はメモリセルアレイの平面構成を示し、図4(b)は(a)のIVb-IVb線における断面構成を示している。なお、ここでは、図3、図4(a)及び(b)において、図1、図2(a)及び(b)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0043】本実施形態に係る強誘電体メモリセルは、第1のビット線BL0のノード20と接続されている第2のメモリセルA2及び第3のメモリセルA3から、ノーマリオンであるデプレッション型セル選択トランジスタ13を省略した構成を有している。

【0044】このように、本実施形態によると、第1の実施形態と同様に、1つのビット線コンタクトに3つ以上のメモリセルを接続できるため、メモリセルアレイのサイズがビット線の配線ピッチで規制されることがなくなり、メモリセルアレイのサイズを効率的に縮小できるようになる。

【0045】さらに、従来型のセル選択トランジスタ12のみを介した構造のメモリセルA2、A3を含むため、第1の実施形態よりもさらにメモリセルアレイの面積を縮小できる。

【0046】また、図3から分かるように、第1の実

形態と比べて、例えば、第1のワード線WL0及び第4のワード線WL3は、デプレッション型セル選択トランジスタ13のゲートを含まない又はゲートとなる領域を小さくできるため、例えば、第1及び第4のワード線WL0、WL3のゲートの付加容量を少なくできるので、ワード線WL0、WL3を高速に駆動でき且つ駆動時の低消費電力化を図ることができる。

【0047】なお、第2のメモリセルA2等の、デプレッション型セル選択トランジスタ13を有さない構成のメモリセルをメモリセルアレイに含める割合やレイアウト位置は図3に示す構成に限られず、メモリ装置として最適化されるように決定すればよい。

【0048】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0049】図5は本発明の第3の実施形態に係る強誘電体メモリ装置におけるメモリセルアレイの回路構成を示し、図6(a)はメモリセルアレイの平面構成を示し、図6(b)は(a)のVIb-VIb線における断面構成を示している。ここでも、図5、図6(a)及び(b)において、図1、図2(a)及び(b)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0050】第1の実施形態との差異を説明する。第1の実施形態においては、図1の回路構成から分かるように、第2のビット線BL1と接続されるメモリセル群A1~A4はその接続形態が第1のビット線BL0と接続されるメモリセル群と同一である。

【0051】第3の実施形態においては、第1の実施形態の構成を1T1C折り返しビット線構成としている。具体的には、第1のビット線BL0のノード20は、第1~第4のワード線WL0~3により選択されるメモリセル群A1~A4が接続されると共に、第2のビット線BL1のノード21は、第5~第8のワード線WL4~WL7により選択されるメモリセル群B1~B4と接続される。

【0052】言い換えると、第1のビット線BL0のノード20と接続されるメモリセル群A1~A4と、第2のビット線BL1のノード21と接続されるメモリセル群B1~B4との領域が半ピッチ分だけずれた構成を採る。

【0053】このように、本実施形態によると、第1の実施形態と同様の効果を得られる上に、動作時のノイズが少ない折り返しビット線構造であって、高集積化が可能な1T1C型メモリセルアレイを構成できる。

【0054】メモリセルアレイのレイアウト構成は、図6(a)の平面図に示すように、第1の実施形態と比べてほぼビット線コンタクトCWの配置を変更するだけでよく、高集積化で且つ安定動作が可能なメモリセルアレイを実現できる。

【0055】(第4の実施形態)以下、本発明の第4の

実施形態について図面を参照しながら説明する。

【0056】図7は本発明の第4の実施形態に係る強誘電体メモリ装置におけるメモリセルアレイの回路構成を示し、図8(a)はメモリセルアレイの平面構成を示し、図8(b)は(a)のVIIb-VIIb線における断面構成を示している。ここでは、図7、図8(a)及び(b)において、図5、図6(a)及び(b)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。

【0057】第3の実施形態との差異を説明する。本実施形態に係る強誘電体メモリセルは、第1のビット線BL0のノード20と接続されている第2のメモリセルA2及び第3のメモリセルA3から、ノーマリオンであるデプレッション型セル選択トランジスタ13を省略し、さらに、第2のビット線BL1のノード21と接続されている第6のメモリセルB2及び第7のメモリセルB3から、ノーマリオンであるデプレッション型セル選択トランジスタ13を省略した構成を採る。

【0058】本実施形態によると、第3の実施形態の効果と第2の実施形態の効果を併せた効果を得ることができる。すなわち、高集積化が可能な1T1C型メモリセルアレイを実現できる上に、ゲートの付加容量を低減できるので、ワード線の高速駆動化と低消費電力化を図ることができる。また、第3の実施形態の場合よりもメモリセルアレイのサイズをさらに縮小できる。

【0059】また、第2のメモリセルA2及び第6のメモリセルB2等の、デプレッション型セル選択トランジスタ13を有さない構成のメモリセルをメモリセルアレイに含める割合やレイアウト位置は図7に示す構成に限られず、メモリ装置として最適化されるように決定すればよい。

【0060】なお、前述した第1～第4の実施形態においては、各ビット線の1つのノード(ビット線コンタクト)に4つのメモリセルを接続する構成を示したが、これに限られず、1コンタクトあたり3つ又は5つ以上のメモリセルと接続されていてもよい。また、強誘電体キャパシタ11の構造は、各実施形態に示したスタック型に限られるものではなく、プレーナ型等であってもよい。

【0061】

【発明の効果】本発明に係る強誘電体メモリ装置によると、強誘電体キャパシタの2つ電極のうち的一方電極とビット線との間に直列に接続され、強誘電体キャパシタを選択的に接続可能とするセル選択トランジスタ及びデプレッション型セル選択トランジスタとを備えているため、ビット線の配線ピッチで規制されることなく、メモリセルアレイのサイズを縮小できる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示す部分回路図である。

【図2】(a)及び(b)は本発明の第1の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示し、(a)は平面図であり、(b)は(a)のIIb-IIb線における断面図である。

【図3】本発明の第2の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示す部分回路図である。

【図4】(a)及び(b)は本発明の第2の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示し、(a)は平面図であり、(b)は(a)のIVb-IVb線における断面図である。

【図5】本発明の第3の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示す部分回路図である。

【図6】(a)及び(b)は本発明の第3の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示し、(a)は平面図であり、(b)は(a)のVIb-VIb線における断面図である。

【図7】本発明の第4の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示す部分回路図である。

【図8】(a)及び(b)は本発明の第4の実施形態に係る強誘電体メモリ装置のメモリセルアレイを示し、(a)は平面図であり、(b)は(a)のVIIIb-VIIIb線における断面図である。

【図9】従来の強誘電体メモリ装置のメモリセルアレイを示す部分回路図である。

【図10】(a)及び(b)は従来の強誘電体メモリ装置のメモリセルアレイを示し、(a)は平面図であり、(b)は(a)のXb-Xb線における断面図である。

【符号の説明】

11	強誘電体キャパシタ
12	セル選択トランジスタ
13	デプレッション型セル選択トランジスタ
20	ノード(第1のビット線)
21	ノード(第2のビット線)
A1	第1のメモリセル
A2	第2のメモリセル
A3	第3のメモリセル
A4	第4のメモリセル
B1	第5のメモリセル
B2	第6のメモリセル
B3	第7のメモリセル
B4	第8のメモリセル
31	半導体基板
32	層間絶縁膜
33	容量絶縁膜
CP01	第1のセルプレート
CP02	第2のセルプレート
CP03	第3のセルプレート
BL0	第1のビット線
BL1	第2のビット線
WL0	第1のワード線

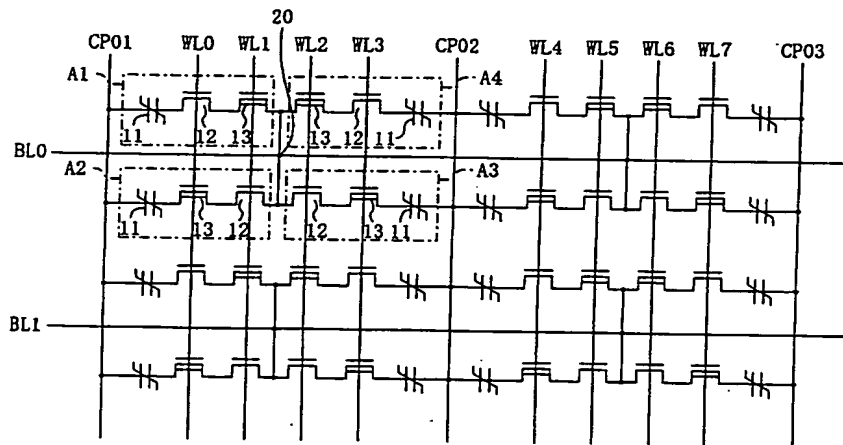
15

WL 1 第2のワード線
 WL 2 第3のワード線
 WL 3 第4のワード線
 WL 4 第5のワード線
 WL 5 第6のワード線
 WL 6 第7のワード線

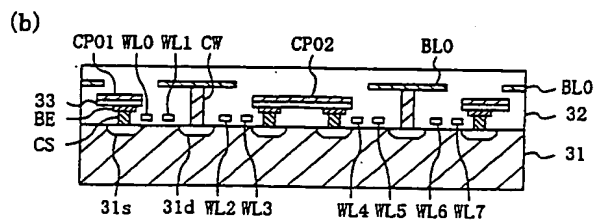
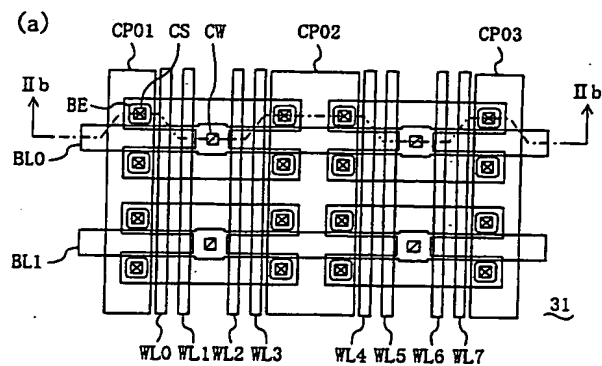
16

WL 7 第8のワード線
 BE 下部電極
 TE 上部電極
 CS コンタクト
 CW ビット線コンタクト

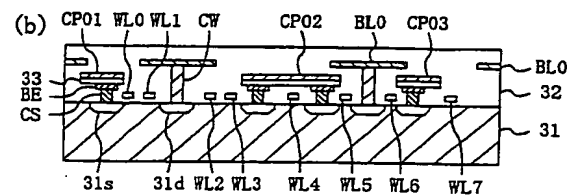
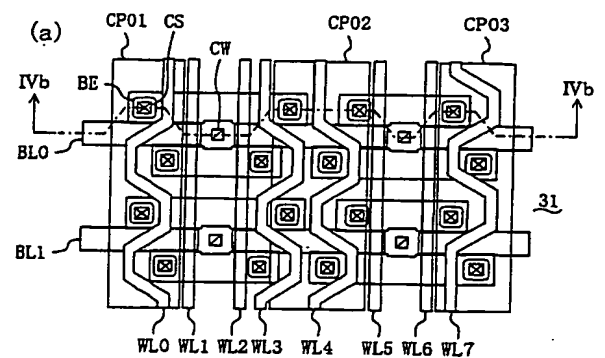
【図1】



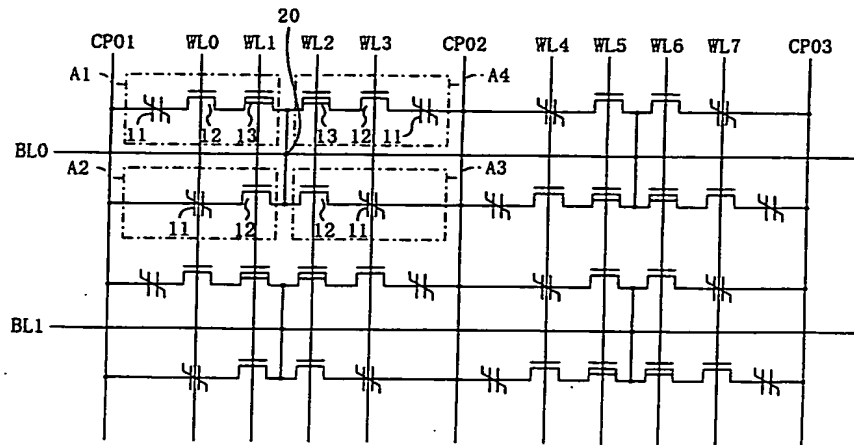
【図2】



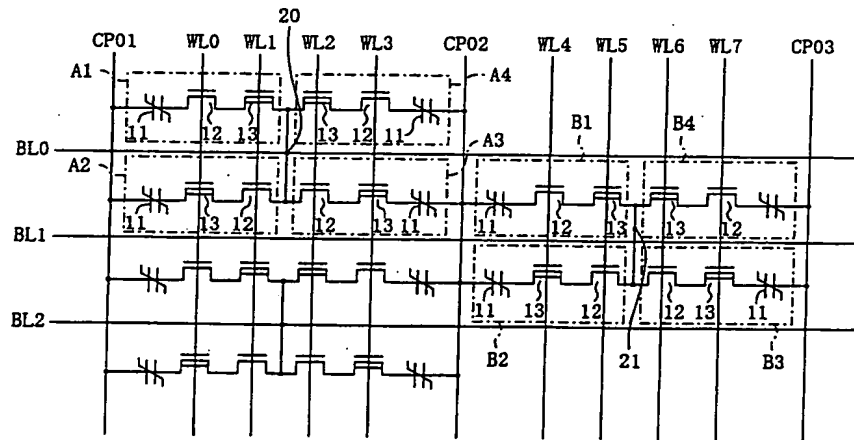
【図4】



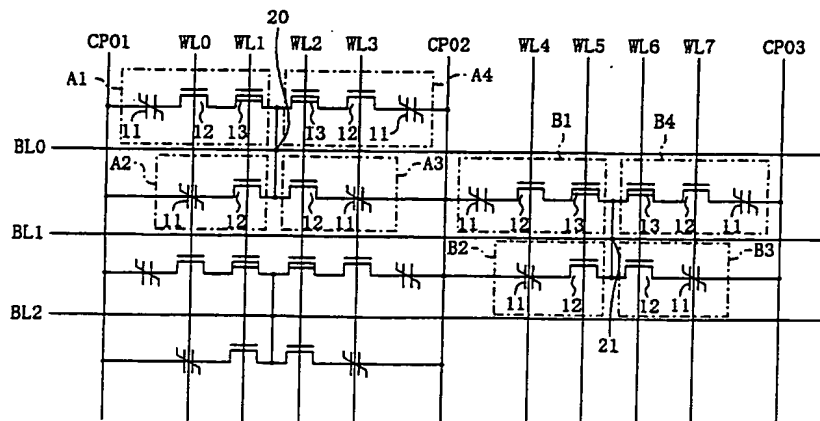
【図3】



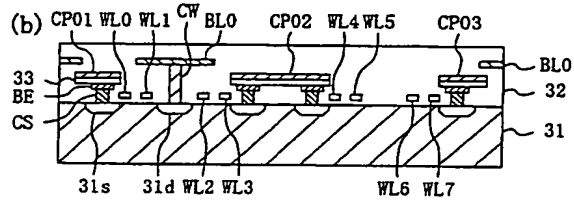
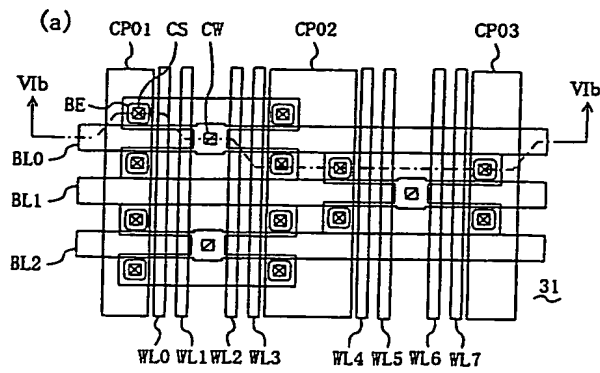
【図5】



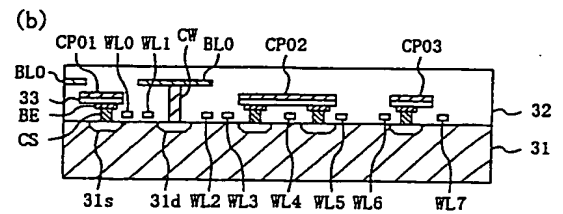
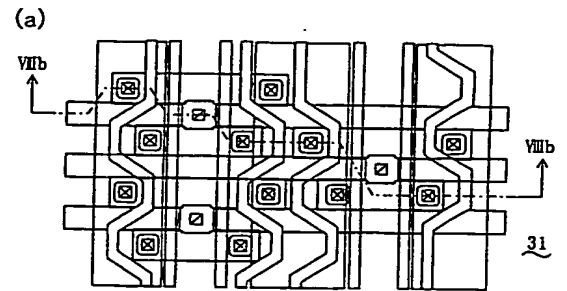
【図7】



【図 6】



【図 8】



【図 9】

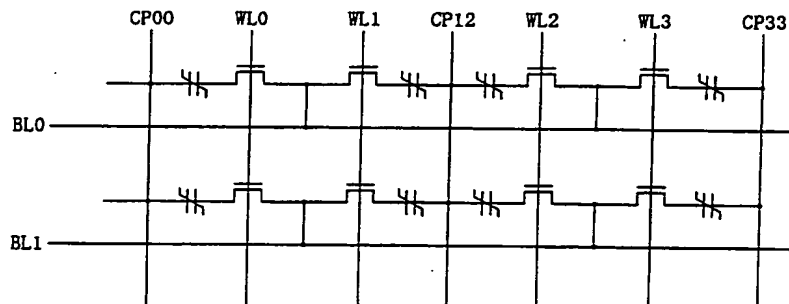


Figure 1 consists of two diagrams. Diagram (a) is a plan view of a semiconductor device. It shows a grid of word lines (WL0, WL1, WL2, WL3) and bit lines (BL0, BL1). The word lines are labeled WL0, WL1, WL2, and WL3. The bit lines are labeled BL0 and BL1. The cross points are labeled CP00, CP12, and CP33. The device is oriented with Xb and Yb axes. Diagram (b) is a cross-sectional view of the device. It shows the layered structure including bit lines (BL0), word lines (WL0, WL1, WL2, WL3), and a substrate (101). The cross points are labeled CP00, WL0, CW, WL1, CP12, WL2, WL3, and CP33. The device is oriented with Xb and Yb axes.

Fターム(参考) 5B024 AA07 BA02 BA13 CA04 CA07
CA21
5F083 AD22 AD48 FR01 GA01 GA05
GA09 GA12 JA14 JA36 JA37
JA38 LA12 LA16 MA06 MA17
MA19